

ASSEMBLAGE TRIDIMENSIONNEL DE COMPOSANTS ELECTRONIQUES  
PAR MICROFILS ET GALETTES DE SOUDURE ET PROCEDE DE  
REALISATION DE CET ASSEMBLAGE

5

## DESCRIPTION

L'invention a pour objet un assemblage de composants électroniques à semi-conducteurs miniaturisés, faisant intervenir des interconnexions tridimensionnelles, ainsi que son procédé de réalisation. Ces composants électroniques peuvent être des puces de circuits intégrés ainsi que des substrats d'interconnexion équipés d'une ou plusieurs couches de conducteurs électriques.

15

L'invention trouve une application dans les domaines de la microélectronique, de l'informatique, de l'optoélectronique et du traitement de signal.

On cherche de plus en plus à miniaturiser les systèmes électroniques ou informatiques utilisant des circuits intégrés. Or, l'un des facteurs limitatifs de la taille de ces systèmes est aujourd'hui l'assemblage des puces et des circuits intégrés ainsi que leur interconnexion.

Dans le but de réaliser des circuits complexes denses, plusieurs approches ont été réalisées.

La première approche a été de supprimer les boîtiers électroniques autour des puces et d'hybrider directement les puces avec des billes de soudure sur des substrats multicouches réalisant les interconnexions entre les puces. Cette première technique dite "flip-chip" conduit à l'hybridation de centaines de puces sur des substrats céramiques (technique "multi-chip module"). Elle est décrite par exemple dans le brevet IBM US-A-4 202 007 et dans le

35

ALL INFORMATION CONTAINED HEREIN IS UNCLASSIFIED

THIS PAGE BLANK (USPTO)

(19) RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

(11) N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

2 688 628

(21) N° d'enregistrement national : 92 03014

(51) Int Cl<sup>3</sup> : H 01 L 25/04, 21/50, H 05 K 3/34

(12)

## DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 13.03.92.

(30) Priorité :

(43) Date de la mise à disposition du public de la  
demande : 17.09.93 Bulletin 93/37.

(56) Liste des documents cités dans le rapport de  
recherche : *Se reporter à la fin du présent fascicule.*

(60) Références à d'autres documents nationaux  
apparentés :

(71) Demandeur(s) : COMMISSARIAT A L'ÉNERGIE  
ATOMIQUE Etablissement de Caractère Scientifique,  
Technique et Industriel — FR.

(72) Inventeur(s) : Marion François et Imperinetti Pierre.

(73) Titulaire(s) :

(74) Mandataire : Brevatome.

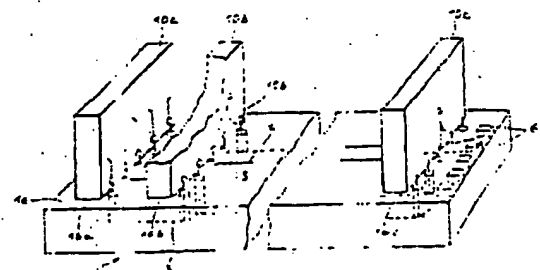
(54) Assemblage tridimensionnel de composants électroniques par microfils et galettes de soudure et procédé de réalisation de cet assemblage.

(57) Assemblage tridimensionnel de composants électroniques par microfils et galettes de soudure et procédé de réalisation de cet assemblage.

L'assemblage de composants électroniques de l'invention comporte:

A) - au moins un premier (1) composant électronique muni sur une de ses faces (1a) d'au moins un premier plot (5) de contact électrique équipé d'un microfil (7) conducteur, orienté perpendiculairement à ladite face.

B) - au moins un second composant électronique (10a, 10b, 10c) muni sur une de ses faces d'au moins un second plot de contact électrique, les premier et second composants électroniques étant perpendiculaires, au contact l'un de l'autre et positionnés de façon que le microfil soit en regard du second plot de contact électrique, le microfil étant connecté au second plot conducteur, via un élément de soudure (15b).



R 2 688 628 - A1

3/4/8 (Item 7 from file: 351)  
DIALOG(R)File 351:DERWENT WPI  
(c)1996 Derwent Info Ltd. All rts. reserv.

FN- World Patents Index (DIALOG File 351  
AX- 93-370870/47|

AX- <XRPX> N93-286348|

TI- Three-dimensional electronic component assembly esp. for integrated circuits and multilayer interconnection substrates - has microwire extending from contact on one component to lie adjacent to contact on second component perpendicular to first, with wire connected to contact by solder bump |

PA- (COMS)\_COMMISSARIAT ENERGIE ATOMIQUE|

AU- <INVENTORS> IMPERINETTI P; MARION F|

NP- 001|

NC- 001|

PN- <BASIC> FR 2688628 \_A1\_930917\_9347|

AN- <PRIORITIES> FR 923014 (920313)|

AB- <BASIC> FR 2688628 A

The component assembly includes a micro-wire (7) conductor on and orientated perpendicular to a contact pad (5) on a surface (1a) of a first component (1). A second group of electronic components (10a,10b,10c) each have a second contact point on their surfaces; the two components are arranged perpendicularly and so that the micro-wire faces the second contact. A sphere of solder (15a) of lower melting point than either the wire or the contacts is placed on the second contact, to connect the wire and contact.

Pref. the microwire is between 20 and 200 micrometres in height (L) and 10 to 50 micrometres diameter or width. The second contact points are pref. centred a distance from the lower edge of the second component less than  $L + H/2$  where L is the wire height and H is the effective solder element height.

ADVANTAGE - Rigid assembly; smaller size, reduced interconnection length and capacitance; allows separate testable multilayer interconnecting substrate.

Dwg.1/6|

FS- EPI|

DC- U11; U14; V04; |

IC- H01L-021/50; H01L-025/04; H05K-003/34|

MC-; U11-D03B3; U11-D03C3; U14-H03A4; V04-R04A|

document FR-A-2 611 986 (Thomson Semiconducteurs).

Cette technique permet d'occuper une surface d'interconnexion au minimum égale à la somme totale des surfaces des puces hybridées, puisqu'elles se trouvent  
5 toutes dans un même plan.

Une deuxième technique dite "tridimensionnelle" permet de ramener les interconnexions dans un volume réduit par rapport à celui de la première technique. Cette seconde technique  
10 consiste à coller les puces les unes sur les autres et à réaliser une technologie sur la tranche du bloc ainsi obtenu de manière à interconnecter les puces entre elles par leur tranche.

Cette deuxième technique est relativement  
15 complexe et coûteuse à mettre en oeuvre, ce qui fait qu'elle n'est pas utilisée actuellement en fabrication. Elle est en particulier décrite dans la publication IEEE transactions on CHMT, Dec. 90, vol. 13, n°4, pp. 814-821 de C. Val et T. Lemoine, "3-D Interconnection  
20 for ultra-dense multichip".

Par ailleurs, en vue de réduire la longueur des fils de liaison entre les circuits intégrés ou les puces et donc de limiter les capacités de lignes d'interconnexion qui sont des facteurs limitatifs des  
25 vitesses de commutation des assemblages actuels, on a envisagé de recouvrir l'emplacement de réception des puces, dans un boîtier céramique multicouche, de nombreux plots conducteurs isolés les uns des autres pouvant servir de relais de soudure pour des fils de  
30 liaison plus courts. Cet assemblage est notamment décrit dans le document FR-A-2 647 962.

Cette dernière technique utilise des boîtiers électroniques autour des puces et ne conduit donc pas à une miniaturisation suffisante de l'assemblage.

35 La présente invention a justement pour objet

un assemblage tridimensionnel de composants électroniques par microfils et galettes de soudure ainsi que le procédé de réalisation de cet assemblage permettant de remédier aux différents inconvénients mentionnés ci-dessus. Ces composants électroniques peuvent être des puces d'un ou plusieurs circuits intégrés ou des substrats d'interconnexion.

L'invention permet en particulier la réalisation d'un assemblage de puces de circuits intégrés dans un volume réduit, sur une surface largement inférieure à celle utilisée dans la première technique citée ci-dessus. Elle permet également la réalisation séparément d'un substrat d'interconnexion testable complexe multicouche, destiné à relier des puces entre elles, ce que ne permet pas la deuxième technique exposée où les interconnexions sont réalisées après assemblage des puces.

Elle permet en outre de réduire les longueurs des lignes d'interconnexions entre les puces et de limiter ainsi les capacités de ces lignes d'interconnexions.

De façon plus précise, l'invention a pour objet un assemblage de composants électroniques comportant :

- A) - au moins un premier composant électronique muni sur une de ses faces d'au moins un premier plot de contact électrique équipé d'un microfil conducteur, orienté perpendiculairement à ladite face,
- B) - au moins un second composant électronique muni sur une de ses faces d'au moins un second plot de contact électrique, les premier et second composants électroniques étant perpendiculaires, au contact l'un de l'autre et positionnés de façon que le microfil soit en regard du second plot de contact électrique, le microfil étant connecté au second plot

conducteur, via un élément de soudure.

Selon l'invention, l'assemblage comporte un ou plusieurs premiers composants électroniques comportant chacun un ou plusieurs premiers plots conducteurs pourvus chacun d'un microfil, destinés à être connectés. De même, l'assemblage comporte un ou plusieurs seconds composants électroniques comportant chacun un ou plusieurs seconds plots conducteurs.

Dans cet assemblage, les premiers et seconds composants électroniques sont disposés à  $90^\circ$  l'un de l'autre, limitant ainsi la surface occupée par cet assemblage.

En particulier, l'élément de soudure de l'assemblage se présente sous la forme d'une sphère.

Les microfils peuvent présenter la forme d'un cylindre à base circulaire, la forme d'un parallélépipède à base carrée ou toute autre forme.

Avantageusement, les microfils ont une hauteur de 20 à 200  $\mu\text{m}$  pour un diamètre ou largeur allant de 10 à 50  $\mu\text{m}$ .

Lorsque l'un des premier et second composants électroniques comporte  $n$  premiers plots conducteurs situés avantageusement sur un seul côté d'une même face du composant sur laquelle ils sont montés, avec  $n$  entier  $\geq 2$ , l'autre composant comporte  $n$  seconds plots disposés sur une même rangée et connectés respectivement aux  $n$  premiers plots.

En vue d'une miniaturisation optimum, le centre du ou des seconds plots conducteurs du second composant électronique est situé à une distance  $d$  d'un bord de ladite face du second composant telle que  $d < L + H/2$ , avec  $L$  représentant la hauteur du microfil et  $H$  représentant la hauteur de l'élément de soudure.

Lorsque l'assemblage comporte deux seconds composants électroniques ou plus, équipés chacun de

plusieurs seconds plots conducteurs, ces seconds composants électroniques sont orientés parallèlement entre eux et perpendiculairement à un premier composant électronique, ce dernier comportant au moins deux séries de premiers plots conducteurs équipés de microfils, disposés selon deux droites parallèles et connectés respectivement aux seconds plots des deux seconds composants électroniques.

Dans ce cas particulier, le premier composant électronique est un substrat d'interconnexion par exemple en céramique du type multicouche et les seconds composants électroniques sont des puces de circuits intégrés.

Ainsi, en disposant les seconds composants électroniques sur leur tranche, on obtient une miniaturisation optimum de l'assemblage.

Il est aussi possible, selon l'invention, que le premier composant électronique consiste en une puce de circuit intégré. Dans ce cas, le second composant électronique peut alors être un substrat d'interconnexion, du type multicouche. Dans ce cas, l'assemblage comporte au moins deux premiers composants électroniques parallèles entre eux et connectés perpendiculairement à un second composant électronique.

L'invention a encore pour objet un procédé permettant la réalisation de l'assemblage décrit précédemment. Aussi, l'invention se rapporte encore à un procédé d'assemblage d'au moins un premier composant électronique muni sur une de ses faces d'au moins un premier plot de contact électrique et d'au moins un second composant électronique muni sur une de ses faces d'au moins un second plot de contact électrique destiné à être connecté au premier plot, comportant les étapes suivantes :

a) - réalisation d'un microfil conducteur sur



Le premier plot de contact, orienté perpendiculairement à ladite face du premier composant ;

5           b) - réalisation d'un élément de soudure sur le second plot de contact, cet élément étant constitué d'un matériau conducteur dont le point de fusion est inférieur à celui du premier et second plots et à celui du microfil, ce matériau étant apte à mouiller le second plot et le microfil ;

10           c) - positionnement des premier et second composants électroniques perpendiculairement entre eux et au contact l'un de l'autre par la tranche, de façon que le microfil soit en regard de l'élément de soudure ;

15           d) - chauffage de l'ensemble pour fondre l'élément de soudure et assurer la fixation du microfil sur l'élément de soudure,

          e) - refroidissement de l'ensemble à une température inférieure à la température de fusion de l'élément de soudure.

20           Jusqu'à ce jour, les fils destinés à la connexion des puces de circuits intégrés entre elles étaient des fils rapportés qu'on soudait sur des plots conducteurs. Or, conformément à l'invention, les microfils conducteurs sont réalisés par  
25           microlithographie.

          Ces microfils peuvent être réalisés soit par la technique "lift-off" (dépôt d'une couche photosensible, formation d'ouvertures dans cette couche en regard des premiers plots de contact, dépôt sur  
30           l'ensemble de la structure d'un matériau conducteur puis élimination de la résine).

          De façon avantageuse, l'étape a) consiste à déposer sur le premier composant une couche continue conductrice métallique puis une couche de résine  
35           photosensible, à former dans cette couche de résine au

moins une ouverture en regard du premier plot de contact à connecter, à déposer électrolytiquement du métal dans ladite ouverture, à éliminer la résine puis la couche continue métallique présente entre les microfils.

De façon avantageuse, l'étape b) consiste à former sur chaque second plot conducteur une galette plate en matériau de soudure conducteur dont la surface est supérieure à celle du second plot.

Dans l'étape (d) lorsque ces galettes sont chauffées au-dessus du point de fusion du matériau de soudure les constituant, les forces de tension superficielle en modifient la forme et elles se mettent sous la forme d'une sphère dont la hauteur est supérieure à celle de la galette avant sa fusion.

Suivant l'étape (e) et si cela est nécessaire, l'ensemble obtenu peut être rigidifié par un enrobage tel qu'un matériau isolant de protection utilisé classiquement lors de la mise en boîtier de circuits électroniques.

L'invention a aussi pour objet la fabrication des circuits intégrés permettant la mise en oeuvre du procédé conforme à l'invention.

Ainsi, l'invention a encore pour objet un circuit intégré comportant sur l'une de ses faces plusieurs premiers plots de contact électrique devant être connectés à des seconds plots de contact électrique d'un autre circuit intégré, caractérisé en ce que les premiers plots de contact comportent chacun un microfil conducteur orienté perpendiculairement à ladite face, réalisé par microlithographie.

L'invention a encore pour objet un circuit intégré comportant sur une de ses faces plusieurs seconds plots de contact électrique devant être connectés à des premiers plots de contact électrique

d'un autre circuit intégré, caractérisé en ce que les seconds plots de contact comportent chacun une galette de soudure dont le point de fusion est inférieur à celui des seconds plots, la galette ayant une surface supérieure à celle de chaque second plot.

D'autres caractéristiques et avantages de l'invention ressortiront mieux de la description qui va suivre, donnée à titre illustratif et non limitatif, en référence aux figures annexées dans lesquelles :

- 10 - la figure 1 montre un substrat d'interconnexion destiné à être assemblé selon l'invention, comportant une série de microfils.
- la figure 2 montre, de façon plus détaillée, un microfil du substrat de la figure 1,
- 15 - la figure 3 montre un circuit intégré destiné à être assemblé sur le substrat d'interconnexion de la figure 1, ce circuit intégré comportant les éléments de soudure destinés à être soudés au microfil ;
- 20 - la figure 4 montre le détail d'un élément de soudure du circuit intégré de la figure 3, avant sa soudure ;
- la figure 5 montre le détail d'un élément de soudure du circuit intégré de la figure 3, après sa
- 25 fusion ;
- la figure 6 montre l'assemblage réalisé d'une série de circuits intégrés sur un substrat d'interconnexion, conformément à l'invention ;
- la figure 7 montre le détail de
- 30 l'assemblage, d'un microfil et d'une galette de soudure, avant la fonte de celle-ci ;
- la figure 8 montre le détail d'une interconnexion à microfil réalisée selon l'invention ;
- les figures 9 et 10 montrent l'assemblage
- 35 de puces de circuit intégré sur un substrat

d'interconnexion, conformément à l'invention, respectivement avant et après la fusion de l'élément de soudure ;

5 - la figure 11 représente schématiquement l'enrobage par un matériau de protection de l'assemblage de la figure 6.

La figure 1 montre une partie d'un substrat d'interconnexion multicouche 1, fabriqué conformément à l'art antérieur. Ce substrat est constitué d'un  
10 substrat isolant 2 en céramique ( $Al_2O_3$ ,  $SiO_2$ , etc.) ou en matière plastique rigide (polyméthacrylate de méthyle par exemple) comportant une ou plusieurs couches telles que 3 et 4 de lignes électriquement conductrices. Les lignes 3 sont logées dans le substrat  
15 et les lignes 4 sont formées en surface du substrat.

Ces lignes conductrices peuvent être reliées électriquement entre elles ou être isolées selon leur besoin et constituent un réseau d'interconnexion. Un tel substrat est notamment celui décrit dans le brevet  
20 d'IBM USA-4 202 007.

Les sorties électriques de ce substrat multicouche 1 aboutissent à des plots de contact électrique 5 ou 6. Les plots de contact 5 formés sur  
25 l'ensemble de la surface 1a de grande dimension du substrat 1 sont destinés à la liaison des lignes conductrices 3 et 4 du substrat multicouche et à la connexion d'un point particulier d'un circuit intégré à un point particulier d'un autre circuit intégré.

30 Les plots de contact 5 sont formés sur des ouvertures 9 pratiquées dans le matériau isolant 2 du substrat. Ils sont disposés selon des rangées parallèles entre elles sur la surface 1a.

Les sorties électriques 6 sont destinées à une sortie ou à une entrée d'un signal extérieur au  
35 substrat 1. Elles sont situées à la périphérie de la

surface 1a du substrat.

Conformément à l'invention, le substrat 1 comporte sur ses plots de contact électrique 5, destinés à la liaison de lignes conductrices 3 ou 4 du substrat d'interconnexion, des microfils verticaux 7 dont un exemplaire est représenté de façon plus détaillée sur la figure 2.

Le microfil 7 représenté sur la figure 2 a la forme d'un cylindre à base circulaire, mais bien entendu d'autres formes peuvent être envisagées.

Chaque microfil 7 est constitué d'un matériau électriquement conducteur, par exemple en nickel, en cuivre, en argent, etc. Il présente une hauteur L qui peut atteindre de 20 à 200  $\mu\text{m}$  pour un diamètre l de 10 à 50  $\mu\text{m}$ . Ceci permet des connexions à un pas faible. Typiquement, pour un diamètre de 10  $\mu\text{m}$ , on obtient un pas de 15  $\mu\text{m}$ .

Chaque microfil 7 est formé selon les techniques de microlithographie sur les plots conducteurs 5, par exemple par croissance électrolytique d'un métal dans des ouvertures pratiquées dans une résine photosensible déposée sur une couche conductrice continue métallique, elle-même déposée à la surface 1a du substrat, puis élimination de la résine et de la couche conductrice métallique se trouvant en dehors du microfil. Les ouvertures dans la résine sont réalisées par photolithographie (insolation à travers un masque mécanique fixant l'emplacement des ouvertures, puis révélation).

Le substrat d'interconnexion 1 de la figure 1 est destiné à recevoir un ou plusieurs circuits intégrés tels que représentés sur la figure 3. Ces circuits portent la référence générale 10. Ils sont réalisés de façon connue et comportent sur l'une de leurs faces de grande dimension 12 des plots de contact

électrique 13 destinés à leur interconnexion (voir figure 6).

Le nombre de plots de contact électrique 13 de chaque circuit intégré est par exemple égal à celui des plots de contact 5 d'une même rangée.

Conformément à l'invention, ces plots de contact électrique 13 sont tous disposés sur un même bord de la face 12 du circuit intégré (ici le bord inférieur 14).

Ces plots de contact 13 ont leur centre disposé approximativement selon une droite A parallèle au bord 14 de la face 12. La distance séparant la droite A du bord 14 est notée d.

Conformément à l'art antérieur, les plots de contact électrique 13 sont formés dans une couche supérieure d'isolant électrique.

Conformément à l'invention, chaque plot conducteur 13 est destiné à être connecté à un plot conducteur 5, via les microfils 7 et des éléments de soudure, représentés de façon plus détaillée sur les figures 4 et 5, respectivement avant et après leur fusion.

Les éléments de soudure sont constitués d'un matériau conducteur électrique dont le point de fusion est inférieur à celui des microfils 7 ainsi qu'à celui des contacts électriques 13 et 5 à interconnecter.

Ces éléments de soudure sont déposés par une technique dite "lift off" sur les plots 13. Ils présentent la forme d'une galette 15a avant leur fusion (voir figure 4) dont la surface est supérieure à celle du plot de contact électrique 13. En pratique,  $h$  vaut de 4 à 50  $\mu\text{m}$  pour des plots de contact 13 de 0,1 à 5  $\mu\text{m}$  d'épaisseur (e).

Les éléments de soudure sont en particulier réalisés en étain, en un alliage d'or et d'étain, en

alliage d'étain-plomb ou tout autre matériau classique de soudure et les plots de contact électrique 5 et 13 sont réalisés en or, nickel, platine ou cuivre.

5 Lorsque les galettes 15a de soudure sont chauffées au-dessus du point de fusion du métal les constituant, les forces de tension superficielle en modifient la forme et elles se mettent, comme représenté sur la figure 5, sous la forme d'une sphéroïde 15b de hauteur H supérieur à  $h$ . Typiquement H  
10 varie de 10 à 200  $\mu$ m.

Conformément à l'invention, la distance  $d$  entre le centre des plots de contact 13 et le bord inférieur 14 du circuit intégré sur lequel les plots sont implantés, satisfait à la relation  $d < L + H/2$  où L  
15 est la hauteur des microfils 7 et H est la hauteur des sphéroïdes 15b en élément de soudure.

Le substrat d'interconnexion 1 équipé de ses microfils 7 et des circuits intégrés 10a, 10b, 10c équipés de leurs éléments de soudure 15a, sous forme de  
20 galettes, et réalisés comme sur la figure 3, peuvent alors être connectés, comme représenté sur la figure 6.

Le substrat d'interconnexion 1 est disposé horizontalement dans un appareil équipé de moyens de chauffage tels qu'un four. Les circuits intégrés,  
25 respectivement 10a, 10b, ..., 10c sont disposés verticalement sur les sites de réception 16a, 16b et 16c du substrat d'interconnexion 1 ; ces sites de réception sont équipés chacun d'une rangée de plots de contact 5 muni de leurs microfils 7.

30 Ainsi, les différents circuits intégrés 10a-10c sont disposés parallèlement entre eux, leurs faces 12 équipées des plots de contact 13 à connecter étant situées en regard de la face de circuit intégré contiguë, dépourvue des plots de contact.

35 Les circuits intégrés 10a-10c sont positionnés

de façon à reposer sur leur tranche et les galettes 15a sont en regard des microfils 7, comme représenté de façon plus détaillée sur la figure 7.

5 Le positionnement des circuits intégrés 10a à 10c sur les sites 16a-16c du substrat 1 est réalisé avec une précision telle que la surface des éléments de soudure 15a en forme de galettes (c'est-à-dire avant soudure) se trouve à une distance D des microfils 7 inférieure ou égale à H-h.

10 Cette distance D peut être par exemple de 20 $\mu$ m maximum pour des galettes de soudure 15a d'épaisseur h de 12 $\mu$ m et d'une surface de 1200 $\mu$ m<sup>2</sup> (soit 30 $\mu$ m x 40 $\mu$ m).

15 L'ensemble ainsi réalisé est chauffé à une température supérieure à celle du point de fusion des galettes 15a en atmosphère inerte (azote par exemple) ou en atmosphère réductrice (hydrogène par exemple).

20 Les galettes 15a prennent alors la forme d'un sphéroïde 15b, comme représenté de façon plus détaillée sur la figure 8 ; ces derniers viennent au contact des microfils 7 et se soudent à ceux-ci.

25 La température de l'ensemble est ramenée à une température inférieure à la température de fusion du métal de soudure et en particulier à la température ambiante.

30 Chaque sphéroïde 15b de soudure étant alors connecté à un microfil 7, il s'ensuit que chaque plot de contact 5 est relié à un plot de contact 13 et par conséquent que les lignes conductrices 3 et 4 du substrat 1 se trouvent connectées avec les éléments de circuit des circuits 10a-10c, par l'intermédiaire du substrat multicouche 1.

L'assemblage final est celui représenté sur la figure 6.

35 Sur les figures 9 et 10, on a représenté une



variante de réalisation de l'assemblage de circuits intégrés et du procédé d'assemblage, conformes à l'invention.

5 Dans cette variante, le substrat d'interconnexion 1 équipé de ses lignes d'interconnexion (3 par exemple) et de ses plots de contact 5 est destiné à être connecté à des puces de circuit intégré 17 équipées de plots de contact 13.

10 Dans ce mode de réalisation, les plots de contact 5 du substrat 1 sont recouverts de l'élément de soudure et les plots de contact 13 des puces de circuit intégré 17 sont équipés de microfils 7.

15 La figure 9 représente l'assemblage avant fusion des galettes 15a de soudure et la figure 10 représente l'assemblage après fusion des éléments de soudure, ces derniers ayant alors la forme de sphéroïdes 15b.

20 Dans ce mode de réalisation, les microfils 7 de chaque puce sont disposés au bord inférieur 14 de la puce correspondante ; plus précisément, le bord inférieur des microfils 7 est situé dans le même plan que le bord inférieur 14 des puces à assembler. Ceci peut être réalisé en découpant les microfils de chaque puce en même temps que la puce correspondante.

25 Avant la soudure, les puces 17 sont inclinées par rapport à la surface 1a du substrat, les microfils 7 reposant sur les galettes 15a de soudure.

30 Durant la soudure, les forces de tension superficielle ramènent les puces 17 à assembler perpendiculairement au substrat d'interconnexion 1 (voir figure 10) et au contact de celui-ci.

35 Si cela s'avère nécessaire, l'assemblage obtenu peut être rigidifié par un enrobage tel que celui classiquement réalisé pour la mise en boîtier de circuit électronique. Cet enrobage est en particulier

représenté sur la figure 11. Il permet une rigidification mécanique de l'assemblage.

Dans le mode représenté, il est constitué d'un matériau isolant électrique 18 par exemple en colle époxy déposée aux pieds des puces 10a-10c assemblées sur le substrat 1.

Il est toutefois possible de disposer cet assemblage, comme représenté en pointillé sur la figure 11, de façon à ce qu'il recouvre toute la partie en regard de deux puces successives.

15

20

25

30

35

## REVENDICATIONS

1. Assemblage de composants électroniques comportant :

5           A) - au moins un premier (1, 17) composant électronique muni sur une de ses faces (1a, 17a) d'au moins un premier plot (5, 13) de contact électrique équipé d'un microfil (7) conducteur, orienté perpendiculairement à ladite face,

10           B) - au moins un second composant électronique (10, 10a, 10b, 10c, 1) muni sur une de ses faces (12, 1a) d'au moins un second plot (13, 5) de contact électrique, les premier et second composants électroniques étant perpendiculaires, au contact l'un  
15 de l'autre et positionnés de façon que le microfil soit en regard du second plot de contact électrique, le microfil étant connecté au second plot conducteur, via un élément de soudure (15b).

2. Assemblage selon la revendication 1, caractérisé en ce que l'élément de soudure se présente  
20 sous la forme d'une sphère (15b).

3. Assemblage selon la revendication 1 ou 2, caractérisé en ce que le microfil (7) a une hauteur de 20 à 200µm et un diamètre ou largeur allant de 10 à  
25 50µm.

4. Assemblage selon l'une quelconque des revendications 1 à 3, caractérisé en ce que l'un des premier et second composants électroniques (10, 17) comporte n premiers plots (13) situés sur un seul côté (14) de la même face du composant électronique avec n  
30 entier  $\geq 2$ , et en ce que l'autre composant électronique (1) comporte n seconds plots (5) disposés sur une même rangée et connectés respectivement aux n premiers plots.

35           5. Assemblage selon l'une quelconque des

revendications 1 à 4, caractérisé en ce que le centre du ou des seconds plots conducteurs (13) est situé à une distance  $d$  d'un bord (14) de ladite face du second composant électronique (10) telle que  $d < L + H/2$ , avec  $L$  représentant la hauteur du microfil et  $H$  représentant la hauteur de l'élément de soudure.

6. Assemblage selon l'une quelconque des revendications 1 à 4, caractérisé en ce que le bord inférieur du ou des microfils est situé dans le même plan que le bord inférieur (14) de la face du premier composant électronique (17).

7. Assemblage selon l'une quelconque des revendications 1 à 6, caractérisé en ce qu'il comprend au moins deux seconds composants électroniques (10a, 10b, 10c) comportant plusieurs seconds plots conducteurs, ces seconds composants électroniques étant orientés parallèlement entre eux et un premier composant électronique (1) comportant au moins deux séries de premiers plots conducteurs équipés de microfils, disposés selon deux droites parallèles et connectés respectivement aux seconds plots des deux seconds composants électroniques.

8. Assemblage selon l'une quelconque des revendications 1 à 7, caractérisé en ce que le premier composant électronique est un substrat d'interconnexion (1) et le ou les seconds composants électroniques sont des puces de circuits intégrés (10a, 10b, 10c).

9. Assemblage selon l'une quelconque des revendications 1 à 8, caractérisé en ce que le ou les seconds composants électroniques (10a, 10b, 10c) reposent sur leur tranche sur le premier composant électronique (1).

10. Assemblage selon l'une quelconque des revendications 1 à 4, caractérisé en ce que le premier composant électronique (17) est une puce de circuit

intégré et le second composant électronique (1) est un substrat d'interconnexion.

5 11. Assemblage selon la revendication 10, caractérisé en ce qu'il comprend au moins deux premiers composants électroniques (17) connectés à un second composant électronique (1).

12. Assemblage selon l'une quelconque des revendications 1 à 11, caractérisé en ce qu'un matériau isolant (18) d'enrobage est prévu.

10 13. Procédé d'assemblage d'au moins un premier composant électronique (1, 17) muni sur une de ses faces (1a, 17a) d'au moins un premier plot de contact électrique et d'au moins un second composant électronique (10, 10a, 10b, 10c, 1) muni sur une de ses  
15 faces (12, 1a) d'au moins un second plot (13, 5) de contact électrique destiné à être connecté au premier plot de contact, comportant les étapes suivantes :

a) - réalisation d'un microfil (7) conducteur sur le premier plot de contact, orienté perpendiculairement à ladite face du premier composant ;  
20

b) - réalisation d'un élément de soudure (15a) sur le second plot de contact, cet élément étant constitué d'un matériau conducteur dont le point de fusion est inférieur à celui du premier et second plots et à celui du microfil, ce matériau étant apte à mouiller le second plot et le microfil ;  
25

c) - positionnement des premier et second composants électroniques perpendiculairement entre eux et au contact l'un de l'autre par la tranche, de façon que le microfil (7) soit en regard de l'élément de soudure (18a) ;  
30

d) - chauffage de l'ensemble pour fondre l'élément de soudure (15b) et assurer la fixation du microfil sur l'élément de soudure,

35 e) - refroidissement de l'ensemble à une

température inférieure à la température de fusion de l'élément de soudure.

14. Procédé selon la revendication 13, caractérisé en ce que l'étape a) est réalisée par  
5 microlithographie.

15. Procédé selon la revendication 13 ou 14, caractérisé en ce que l'étape a) consiste à déposer sur le premier composant une couche continue conductrice métallique puis une couche de résine photosensible, à  
10 former dans cette couche de résine au moins une ouverture en regard du premier plot de contact, à déposer électrolytiquement du métal dans ladite ouverture, à éliminer la résine puis la couche continue conductrice en dehors du microfil ainsi formé.

15 16. Procédé selon l'une quelconque des revendications 13 à 15, caractérisé en ce que l'étape b) consiste à former sur le second plot une galette (15a) plate en matériau de soudure conducteur dont la surface est supérieure à celle du second plot.

20 17. Procédé selon l'une quelconque des revendications 13 à 16, caractérisé en ce que l'on enrobe l'assemblage (18) obtenu par un matériau isolant de protection approprié.

25 18. Circuit intégré comportant sur une de ses faces (1a) plusieurs premiers plots (5) de contact électrique, destiné à être assemblé par le procédé selon l'une quelconque des revendications 13 à 17, caractérisé en ce que les premiers plots de contact comportent chacun un microfil conducteur (7) orienté  
30 perpendiculairement à ladite face, réalisé par microlithographie.

35 19. Circuit intégré comportant sur une de ses faces (12) plusieurs seconds plots (13) de contact électrique, destiné à être assemblé par le procédé selon l'une quelconque des revendications 13 à 17,

caractérisé en ce que les seconds plots de contact  
comportent chacun une galette de soudure (15a) dont le  
point de fusion est inférieur à celui des seconds  
plots, la galette ayant une surface supérieure à celle  
5 de chaque second plot.

10

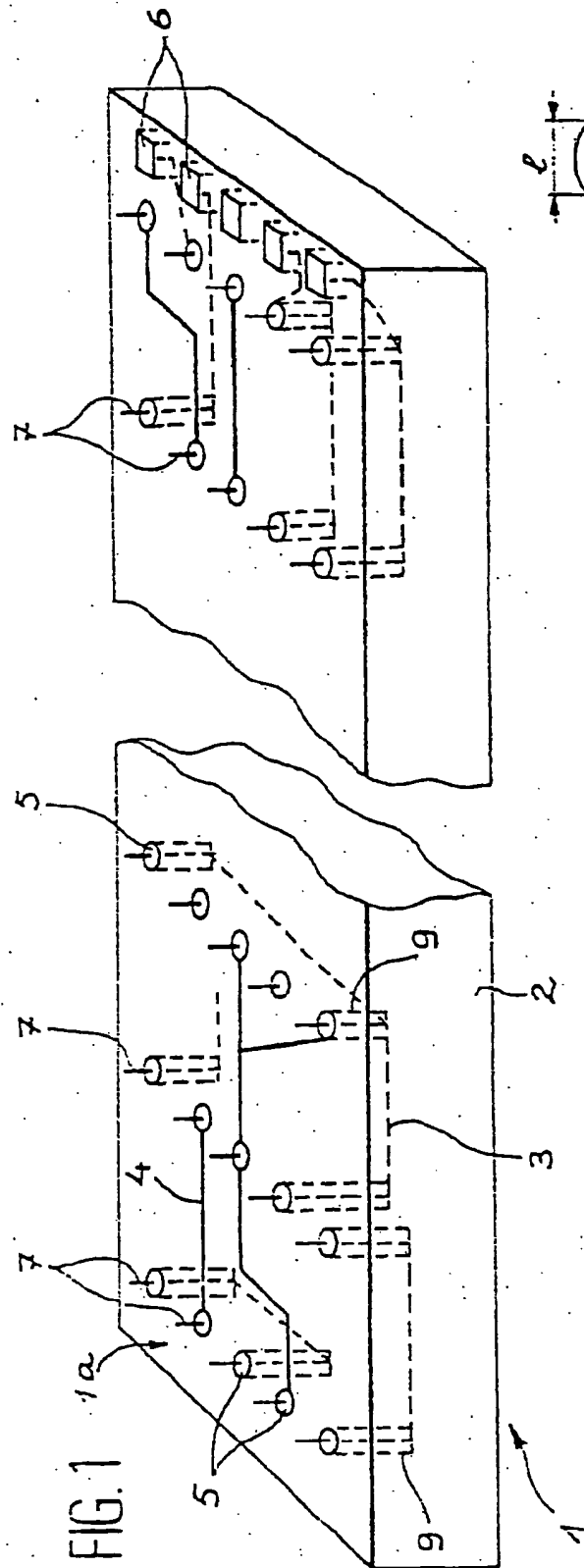
15

20

25

30

35





2/5

FIG. 3

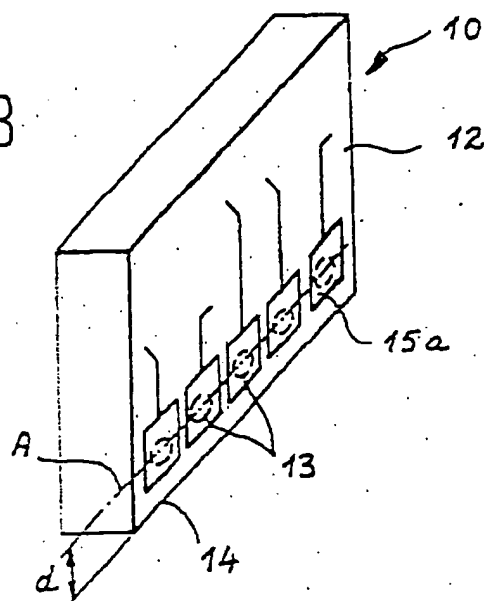


FIG. 4

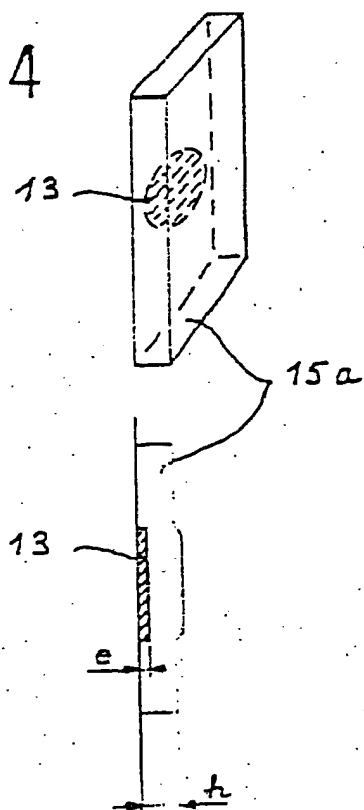


FIG. 5

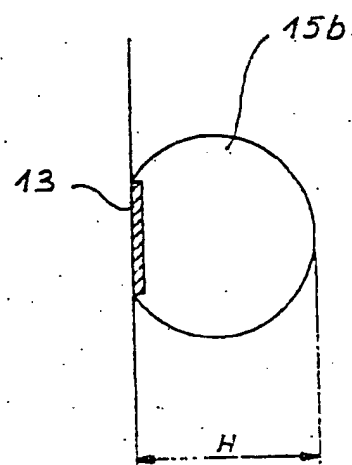


FIG. 6

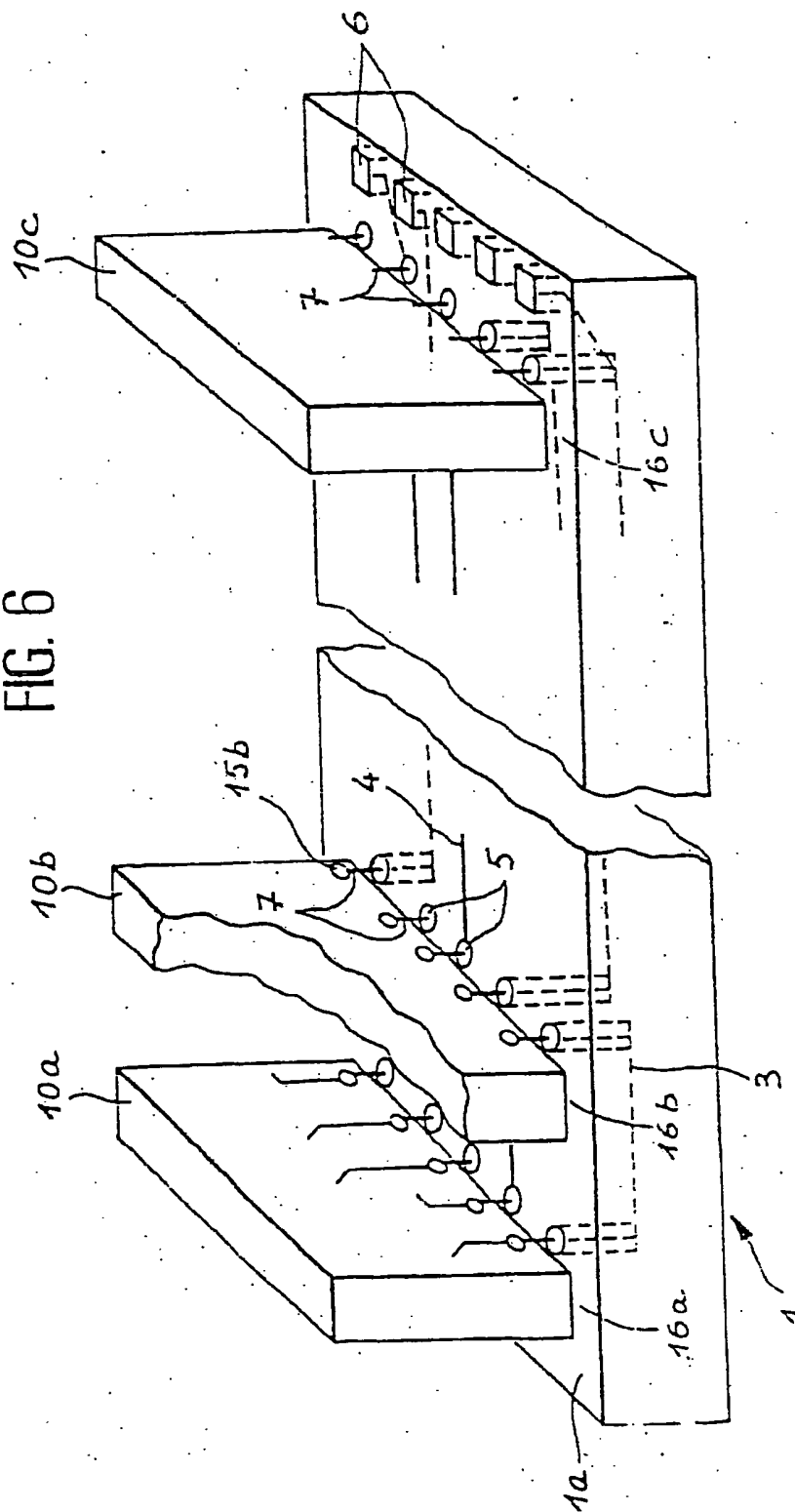


FIG. 7

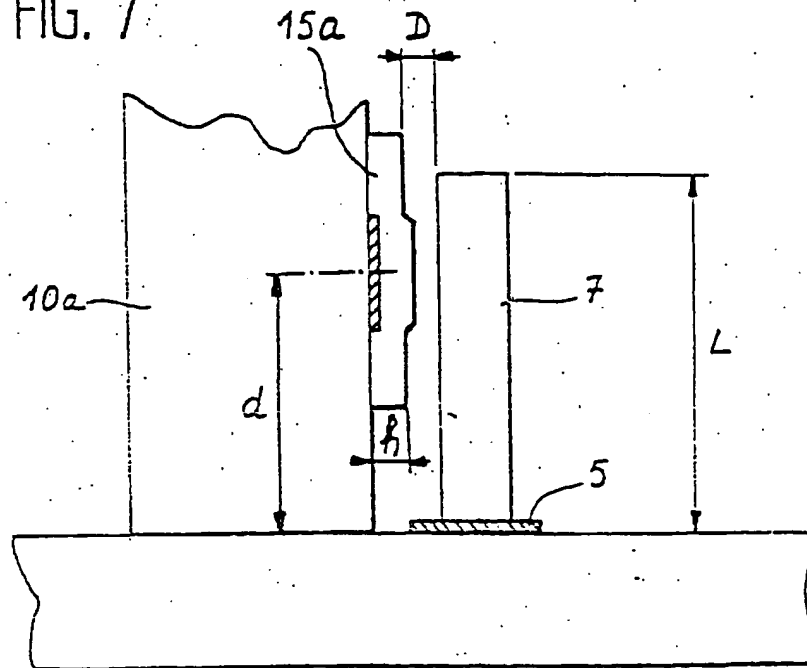
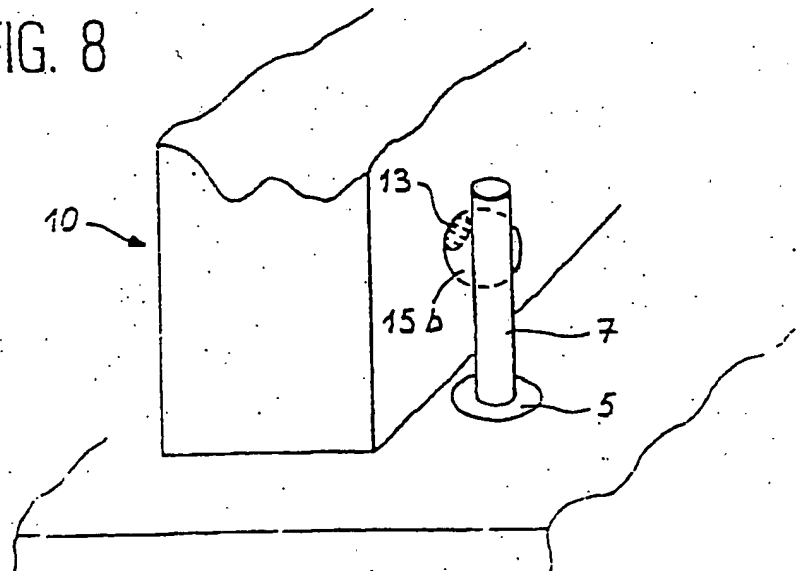


FIG. 8



5/5

FIG. 9

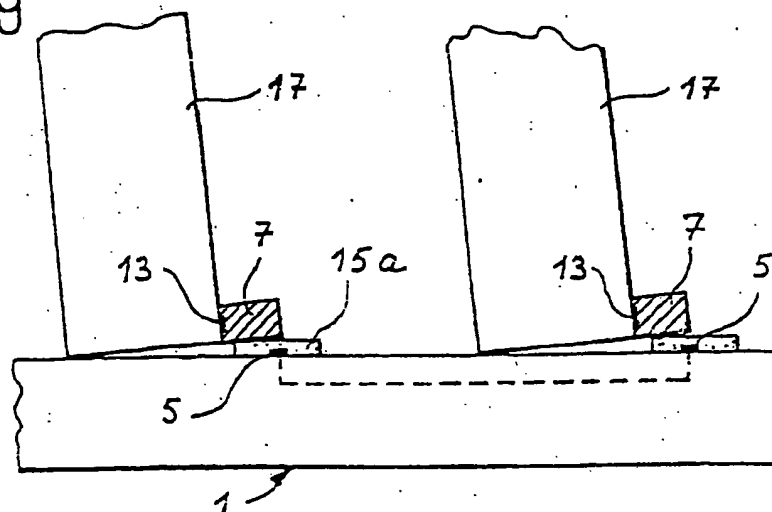


FIG. 10

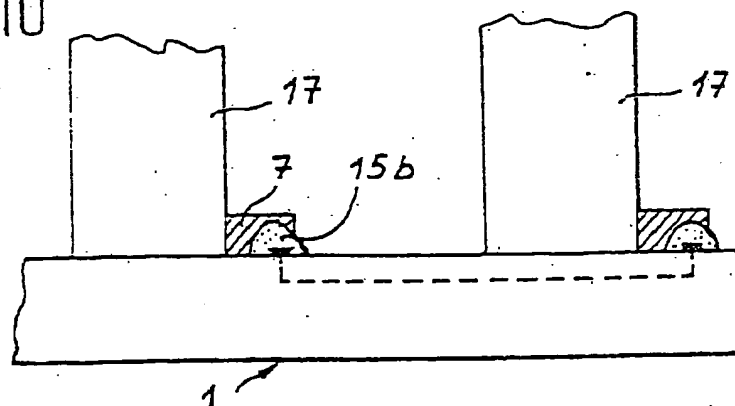
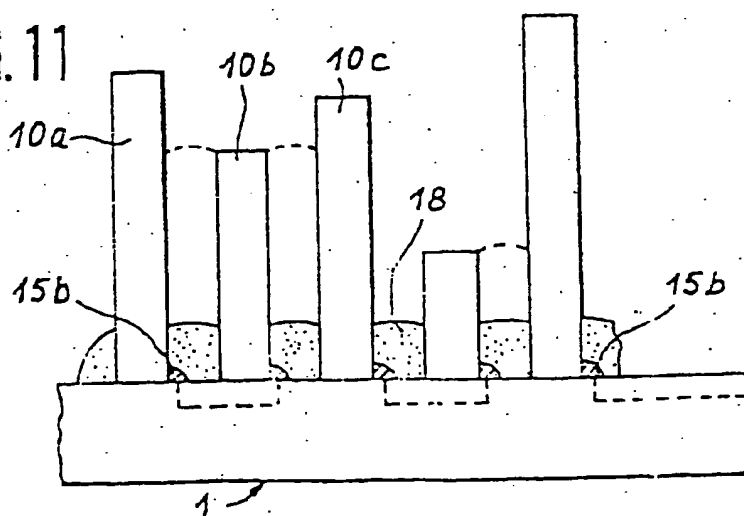


FIG. 11



INSTITUT NATIONAL  
de la  
PROPRIETE INDUSTRIELLE

RAPPORT DE RECHERCHE  
établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

N° d'enregistrement  
national

FR 9203014  
FA 473622  
PAGE1

| DOCUMENTS CONSIDERES COMME PERTINENTS   |  | Revendications<br>concernées<br>de la demande<br>examinée |
|---|--|---|
| Catégorie   | Citation du document avec indication, en cas de besoin,<br>des parties pertinentes   |   |
| X   | IBM TECHNICAL DISCLOSURE BULLETIN.<br>vol. 27, no. 3, Août 1984, NEW YORK US<br>pages 1599 - 1600<br>K.HERMANN ET AL. 'Vertically mounted<br>module'   | 1,4,6,13  |
| Y   | * le document en entier *  | 2,7-11  |
| Y   | PATENT ABSTRACTS OF JAPAN<br>vol. 11, no. 59 (E-482)(2506) 24 Février<br>1987<br>& JP-A-61 218 147 ( HITACHI COMPUT ENG<br>CORP ) 27 Septembre 1986<br>* abrégé *                            | 2   |
| Y   | PATENT ABSTRACTS OF JAPAN<br>vol. 11, no. 277 (E-538)(2724) 8 Septembre<br>1987<br>& JP-A-62 076 753 ( TOSHIBA CORP ) 8 Avril<br>1987<br>* abrégé *  | 7-11  |
| A   | US-A-5 019 943 (C.J FASSBENDER ET AL.)<br><br>* colonne 2, ligne 50 - colonne 4, ligne<br>6; figure 2 *<br>* colonne 4, ligne 45 - colonne 6, ligne<br>4; figures 4-7 *                      | 1-4,6,<br>10,11,<br>13-15,18                              |
| A   | IBM TECHNICAL DISCLOSURE BULLETIN.<br>vol. 23, no. 7B, Décembre 1980, NEW YORK<br>US<br>pages 3410 - 3412<br>J.P.HOEKSTRA 'Mini-structure joining<br>technique'<br>* le document en entier * | 1,4,13  |
| Date d'achèvement de la recherche<br>12 NOVEMBRE 1992   |  | Examinateur<br>LE MINH I.                                 |
| <p><b>CATEGORIE DES DOCUMENTS CITES</b></p> <p>X : particulièrement pertinent à lui seul<br/>Y : particulièrement pertinent en combinaison avec un<br/>autre document de la même catégorie<br/>A : pertinent à l'encontre d'au moins une revendication<br/>ou arrière-plan technologique général<br/>O : divulgation non-écrite<br/>P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention<br/>E : document de brevet bénéficiant d'une date antérieure<br/>à la date de dépôt et qui n'a été publié qu'à cette date<br/>de dépôt ou qu'à une date postérieure<br/>D : cité dans la demande<br/>L : cité pour d'autres raisons<br/>&amp; : membre de la même famille, document correspondant</p> |  |   |

INSTITUT NATIONAL  
de la  
PROPRIETE INDUSTRIELLE

RAPPORT DE RECHERCHE  
établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

N° d'enregistrement  
national

FR 9203014  
FA 473622  
PAGE2

| DOCUMENTS CONSIDERES COMME PERTINENTS  |   | Revendications<br>concernées<br>de la demande<br>examinée |
|--|---|---|
| Catégorie  | Citation du document avec indication, en cas de besoin,<br>des parties pertinentes                              |   |
| A  | US-A-4 845 542 (S.J.BEZUK ET AL.)<br>* colonne 1, ligne 65 - colonne 2, ligne<br>49; figures 1,2 *<br><br>----- | 1,13  |
|  |   | DOMAINES TECHNIQUES<br>RECHERCHES (Int. Cl.5)             |
|  |   |   |
| Date d'achèvement de la recherche<br>12 NOVEMBRE 1992.   |   | Examenateur<br>LE MINH I.                                 |
| <p><b>CATEGORIE DES DOCUMENTS CITES</b></p> <p>X : particulièrement pertinent à lui seul<br/>Y : particulièrement pertinent en combinaison avec un<br/>autre document de la même catégorie<br/>A : pertinent à l'écarter d'au moins une revendication<br/>ou arrière-plan technologique général<br/>O : divulgation non-écrite<br/>P : document interne</p> <p>T : théorie ou principe à la base de l'invention<br/>E : document de brevet bénéficiant d'une date antérieure<br/>à la date de dépôt et qui n'a été publié qu'à cette date<br/>de dépôt ou qu'à une date postérieure.<br/>D : cité dans la demande<br/>L : cité pour d'autres raisons<br/>&amp; : membre de la même famille, document correspondant</p> |   |   |

EPO FORM 101 (10/12)

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**